

Express Mail Label No.: EV315697895US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: SUN HYOUNG LEE, ET AL)
FOR: SYNCHRONOUS SRAM-COMPATIBLE MEMORY AND)
METHOD OF DRIVING THE SAME)

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

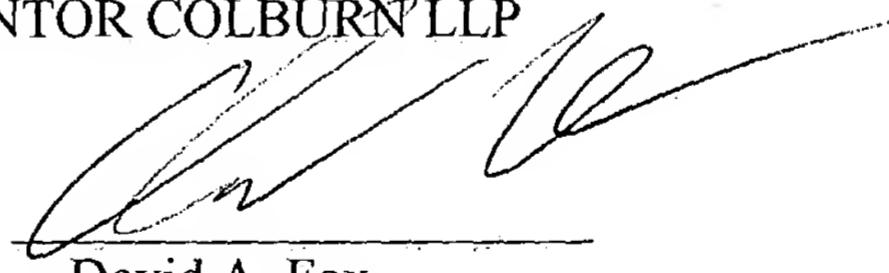
Dear Commissioner:

Enclosed herewith is a certified copy of Korean Patent Application No. 2002-0043480 filed on July 24, 2002. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicant hereby claims the benefit of the filing date of July 24, 2002, of the Korean Patent Application No. 2002-0043480, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 

David A. Fox
Registration No. 38,807
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
Customer No. 23413

Date: June 26, 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0043480
Application Number

출원년월일 : 2002년 07월 24일
Date of Application JUL 24, 2002

출원인 : (주)실리콘세븐
Applicant(s) SILICON7 INC.



2003년 06월 02일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.07.24
【국제특허분류】	G11C
【발명의 명칭】	디램 셀을 사용하여, 버스트 액세스 구동이 가능한 동기식 에스램 호환 메모리 및 그 구동 방법
【발명의 영문명칭】	SRAM compatible and Burst Accessible Synchronous Memory Device using DRAM cell and Operating Method thereof
【출원인】	
【명칭】	(주)실리콘세븐
【출원인코드】	1-2000-048635-1
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	2000-060422-7
【발명자】	
【성명의 국문표기】	이선형
【성명의 영문표기】	LEE, Sun Hyoung
【주민등록번호】	691024-1051812
【우편번호】	151-784
【주소】	서울특별시 관악구 신림8동 강남아파트 8동 814호
【국적】	KR
【발명자】	
【성명의 국문표기】	유인선
【성명의 영문표기】	YOO, In Sun
【주민등록번호】	710121-1406418
【우편번호】	467-854
【주소】	경기도 이천시 대월면 사동리 현대전자 사원 아파트 109동 905호
【국적】	KR

1020020043480

출력 일자: 2003/6/3

【발명자】

【성명의 국문표기】

신동우

【성명의 영문표기】

SHIN, Dong Woo

【주민등록번호】

641013-1474215

【우편번호】

467-866

【주소】

경기도 이천시 부발읍 아미리 753 현대아파트 707동 1702호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
곽덕영 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

13 면 13,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

14 항 557,000 원

【합계】

599,000 원

【감면사유】

소기업 (70%감면)

【감면후 수수료】

179,700 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류[
사업자등록증사본, 원천징수이행상황신 고서사본]_1통

【요약서】

【요약】

디램 셀을 사용하며, 버스트 억세스 구동이 가능한 동기식 에스램 호환 메모리 및 그 구동 방법이 게시된다. 본 발명의 동기식 에스램 호환 메모리는 내부적으로는 디램 셀을 사용하여 리프레쉬가 수행되지만, 외부적으로 에스램과 동일한 규칙으로 운용된다. 본 발명의 동기식 에스램 호환 메모리는 디램 메모리 어레이; 소정의 유효 어드레스 신호가 활성화되는 구간에서 현재 프레임의 로우 어드레스와 칼럼 어드레스를 유효하게 입력하되, 어드레스들은 소정의 외부클럭신호에 동기되어 유효하게 입력되는 어드레스 입력부; 칼럼 어드레스에 대하여 순차적으로 변화하는 버스트 어드레스를 발생하되, 버스트 어드레스의 변화는 외부클럭신호에 동기하여 발생하는 버스트 어드레스 발생부; 버스트 어드레스 발생부를 인에이블시키는 버스트 인에이블 신호를 발생하며, 메모리 어레이에 대한 리프레쉬가 수행 중일 때에는 외부로 기다림 표시신호를 발생하는 상태제어부; 일정한 주기마다 활성화되는 리프레쉬 요구 신호를 발생하는 리프레쉬 타이머; 및 리프레쉬 요구 신호에 응답하여, 디램 메모리 어레이에 대한 리프레쉬 동작을 수행시키도록 제어하되, 디램 메모리 어레이에 대한 버스트 억세스 동작이 수행 중이면, 버스트 억세스 동작이 완료된 후에 리프레쉬 동작을 수행하도록 제어하는 리프레쉬 제어부를 구비한다.

【대표도】

도 1

【명세서】

【발명의 명칭】

디램 셀을 사용하여, 버스트 억세스 구동이 가능한 동기식 에스램 호환 메모리 및 그 구동 방법{SRAM compatible and Burst Accessible Synchronous Memory Device using DRAM cell and Operating Method thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일실시예에 따른 동기식 에스램 호환 메모리를 개념적으로 설명하기 위한 블록도이다.

도 2는 도 1의 디램 메모리 어레이에 포함되는 메모리 셀을 나타내는 도면이다.

도 3은 도 1의 상태제어부와 리프레쉬 제어부의 상호 작용을 보다 자세히 설명하기 위한 도면이다.

도 4는 본 발명의 일실시예에 따른 동기식 에스램 호환 메모리의 상태 변화를 나타내는 상태 다이어그램(state diagram)이다.

도 5는 본 실시예의 동기식 에스램 호환 메모리의 버스트 억세스 동작 중 독출동작을 설명하기 위한 타이밍도로서, 칼럼 레이턴시의 확장이 없는 경우의 타이밍도이다.

도 6는 본 실시예의 동기식 에스램 호환 메모리의 버스트 억세스 동작 중 독출동작을 설명하기 위한 타이밍도로서, 칼럼 레이턴시가 연장되는 경우의 타이밍도이다.

도 7은 본 실시예의 동기식 에스램 호환 메모리의 버스트 액세스 동작 중 기입동작을 설명하기 위한 타이밍도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 디램(DRAM: Dynamic Random Access Memory) 셀(cell)을 가지면서, 에스램(SRAM: Static Random Access Memory)과 호환 가능하며, 외부클락신호에 동기되는 동기식 에스램 호환 메모리에 관한 것이다.

<10> 일반적으로, 반도체 메모리 장치 중의 램(RAM: Random Access Memory)은 에스램과 디램으로 분류된다. 통상적인 램은 행과 열로 구성되는 매트릭스 상에 배열되는 다수개의 단위 메모리 셀들을 가지는 메모리 어레이와, 상기 단위 메모리 셀들로/로부터 데이터를 입/출력하도록 제어하는 주변 회로로 구성된다. 에스램에 사용되는 1비트의 정보를 저장하기 위한 단위 메모리 셀은 래치(latch) 구조를 이루는 4개의 트랜지스터와, 전송 게이트로 작용하는 2개의 트랜지스터로 구현된다. 즉, 통상적인 에스램은 래치 구조의 단위 메모리 셀에 데이터를 저장하고 있으므로, 데이터를 보존하기 위한 리프레쉬 동작이 요구되지 않는다. 또한, 에스램은, 디램에 비하여, 동작 속도가 빠르고, 소비 전력이 작다는 장점을 지닌다.

<11> 그러나, 에스램의 단위 메모리 셀은 6개의 트랜지스터로 구현되어 있으므로, 에스램은 1개의 트랜지스터와 1개의 커패시터로 단위 메모리 셀이 구현되는 디램에 비하여,

소요되는 웨이퍼 면적면에서, 단점을 지닌다. 즉, 동일한 용량의 기억 소자를 제조하기 위하여, 에스램의 웨이퍼 면적은 디램의 웨이퍼 면적의 6배 내지 10배 정도이다. 이와 같은, 에스램의 소요 면적은 에스램의 단가를 상승시킨다. 만약, 비용 절감 등을 위하여, 에스램을 대신하여 통상적인 디램이 사용되는 경우, 주기적인 리프레쉬 때문에 추가적으로 디램 컨트롤러가 장착되어야 한다. 또한, 디램의 주기적인 리프레쉬 동작을 위한 소요 시간과 느린 동작 속도 때문에 시스템 자체의 전반적인 성능이 하락된다.

<12> 상기와 같은 디램과 에스램의 단점을 극복하고자, 디램 셀을 이용한 에스램을 구현하려는 노력이 계속되고 있다. 이러한 노력 중에서의 하나가 다수개의 디램 뱅크(bank)와 에스램 캐쉬(Cashe)로 메모리를 구성하여 리프레쉬 동작을 외부에서는 감추어서, 에스램과 호환되도록 만드는 기술이다.

<13> 그러나, 상기 기술에는, 메모리 어레이의 행을 선택하는 워드라인이 활성화를 유지하는 상태에서, 외부로부터의 칼럼 어드레스의 수신이 없더라도 연속적으로 칼럼 어드레스가 변화하여, 특정되는 메모리 셀에 데이터를 연속적으로 입출력하는 버스트 억세스 동작이 구현되지 못하였다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명의 목적은 디램 셀을 이용하면서도 에스램 호환이 가능하며, 외부클럭신호에 동기되는 에스램 호환 메모리 및 그 구동방법으로서, 버스트 억세스 동작의 실현이 가능한 에스램 호환 메모리 및 그 구동방법을 제공하는 것이다.

【발명의 구성 및 작용】

<15> 상기와 같은 기술적 과제를 해결하기 위한 본 발명의 일면은 행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 포함하는 디램 메모리 어레이를 가지는 동기식 에스램 호환 메모리에 관한 것이다. 상기 동기식 에스램 호환 메모리의 디램 메모리 어레이에 포함되는 상기 디램 셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구된다. 그리고, 본 발명의 동기식 에스램 호환 메모리는 상기 디램 메모리 어레이의 행을 선택하는 로우 어드레스와 열을 선택하는 칼럼 어드레스를 동시에 제공하는 외부 시스템과 인터페이싱될 수 있다. 본 발명의 동기식 에스램 호환 메모리는 상기 디램 메모리 어레이; 외부로부터 상기 디램 메모리 어레이로의 데이터 입출력을 조절하는 데이터 입출력부; 소정의 유효 어드레스 신호가 활성화되는 구간에서 현재 프레임의 상기 로우 어드레스와 상기 칼럼 어드레스를 유효하게 입력하되, 상기 어드레스들은 소정의 외부클락신호에 동기되어 유효하게 입력되는 어드레스 입력부; 상기 칼럼 어드레스에 대하여 순차적으로 변화하는 버스트 어드레스를 발생하되, 상기 버스트 어드레스의 변화는 상기 외부클락신호에 동기하여 발생하는 버스트 어드레스 발생부; 상기 버스트 어드레스 발생부를 인에이블시키는 버스트 인에이블 신호를 발생하고, 상기 데이터 입출력부를 제어하며, 상기 메모리 어레이에 대한 이전 프레임의 억세스 동작이 수행 중일 때에는 외부로 제1 논리 상태의 기다림 표시신호를 발생하는 상태제어부로서, 상기 이전 프레임의 억세스는 상기 현재 프레임의 유효 어드레스 신호가 활성화되기 이전의 기입 억세스 및 리프레쉬 동작을 포함하는 상기 상태제어부; 일정한 주기마다 활성화되는 리프레쉬 요구 신호를 발생하는 리프레쉬 타이머; 및 상기 리프레쉬 요구 신호에 응답하여, 상기 디램 메모리 어레이에 대한 리프

레쉬 동작을 수행시키도록 제어하되, 상기 디램 메모리 어레이에 대한 버스트 억세스 동작이 수행 중이면, 상기 버스트 억세스 동작이 완료된 후에 상기 리프레쉬 동작을 수행하도록 제어하는 리프레쉬 제어부를 구비한다.

<16> 상기와 같은 기술적 과제를 해결하기 위한 본 발명의 다른 일면은 상기 동기식 에스램 호환 메모리의 구동 방법에 관한 것이다. 본 발명의 동기식 에스램 호환 메모리의 구동 방법은 (A)외부로부터 유효 어드레스 신호를 입력하는 단계로서, 상기 유효 어드레스 신호가 활성화 상태일 때, 현재 프레임의 상기 로우 어드레스와 상기 칼럼 어드레스는 유효하게 입력될 수 되, 상기 유효 어드레스 신호가 비활성화 상태에서는 상기 어드레스의 유효한 입력이 차단되는 상기 유효 어드레스 신호를 입력하는 단계; (B)활성화 상태의 상기 유효 어드레스 신호가 감지될 때, 상기 디램 메모리 어레이에 대한 이전 프레임의 억세스 동작이 수행 중인지를 확인하는 단계; (C) 상기 (B)단계에서의 확인결과, 상기 이전 프레임의 억세스 동작이 수행 중이면, 제1 논리 상태의 기다림 표시신호를 발생하여 외부로 제공하면서, 상기 이전 프레임의 억세스 동작의 수행이 종료되기를 기다리는 단계; 및 (D) 상기 (C) 단계에서, 상기 이전 프레임의 억세스 동작의 수행이 종료되면, 상기 디램 메모리 어레이의 열을 선택하는 버스트 어드레스가 외부클럭신호에 동기되어, 변화하는 버스트 억세스 동작을 수행하는 단계를 구비한다. 상기 이전 프레임의 억세스는 상기 현재 프레임의 유효 어드레스 신호가 활성화되기 이전에 발생한 기입 억세스 동작 및 리프레쉬 동작을 포함한다.

<17> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<18> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

<19> 본 발명의 동기식 에스램 호환 메모리는 내부적으로 디램 셀을 채용하고 리프레쉬 동작이 수행되지만, 외부적으로는 통상의 동기식 에스램과 마찬가지로 리프레쉬를 위한 동작구간이 할당되지 않는다. 또한, 본 발명의 동기식 에스램 호환 메모리는 리프레쉬 동작을 제어하기 위한 별도의 제어신호가 외부에서 요구되지 않으며, 외부적으로는 통상적인 동기식 에스램과 동일한 규칙에 의하여 구동될 수 있다.

<20> 한편, 본 발명의 동기식 에스램 호환 메모리에 발생되는 동작 상태를 개략적으로 기술하면, 다음과 같다.

<21> 본 발명의 동기식 에스램 호환 메모리에는 리프레쉬(REFRESH) 상태가 발생한다. 상기 리프레쉬 상태는 특정의 워드라인을 활성화시키고, 상기 워드라인에 접속되는 모든 디램 셀의 데이터를 상기 디램 셀로부터 출력한 후, 다시 증폭시켜 다시 기입하는 리프레쉬 동작이 수행되는 상태를 말한다.

<22> 본 발명의 동기식 에스램 호환 메모리에는 리프레쉬 요구상태가 발생된다. 상기 리프레쉬 요구상태는 상기 리프레쉬 상태로의 전환이 내부적으로는 요구되고 있으나, 아직 리프레쉬 동작은 수행되지 않고 있는 상태이다. 즉, 리프레쉬 타이머로부터 제공되는 리프레쉬 요구신호는 활성화되었으나, 상기 디램 메모리 어레이에 대한 리프레쉬 동작은 수행되지 않고 있는 상태이다.

<23> 본 발명의 동기식 에스램 호환 메모리에는, 버스트(Burst) 억세스(ACCESS) 상태가 발생된다. 상기 버스트 억세스 상태는 하나의 워드라인(WL)이 활성화 상태를 유지하는 동안에, 외부로부터 별도의 어드레스의 입력이 없더라도, 2 이상의 상이한 열이 연속적으로 선택되어, 연속적으로 데이터가 독출 또는 기입되는 동작을 말한다. 즉, 버스트 억세스 동작은 2번째 이후의 억세스에 대해서는 다시 워드라인을 활성화시킬 필요가 없다.

<24> 본 발명의 동기식 에스램 호환 메모리에는 버스트 대기(RESERVED) 상태가 발생된다. 상기 버스트 대기상태는 상기 버스트 억세스 상태로의 진입은 내부적으로 요구되었으나, 실제로 버스트 억세스 동작은 수행되지 않고 있는 상태이다.

<25> 본 발명의 동기식 에스램 호환 메모리에는, 공전(IDLE) 상태가 발생할 수 있다. 상기 공전상태는, 본 발명의 동기식 에스램 호환 메모리에 전원은 공급되지만, 칩 인에이블 신호가 비활성화되어, 칩 자체가 디스에이블된 상태이다.

<26> 도 1은 본 발명의 일실시예에 따른 동기식 에스램 호환 메모리를 개념적으로 설명하기 위한 블록도이다. 본 발명의 동기식 에스램 호환 메모리는 디램 메모리 어레이(10), 어드레스 입력부(15), 상태제어부(20), 리프레쉬 제어부(25), 버스트 어드레스 발생부(30), 리프레쉬 타이머(55) 및 데이터 입출력부(75)를 포함한다. 상기 디램 메모리 어레이(10)는 행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 메모리 셀(11)들을 포함한다. 상기 메모리 셀(11)은 저장된 데이터를 보존하기 위하여, 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되는 셀이다. 상기 메모리 셀(11)의 대표적인 예는 '디램 셀'이다. 그러므로, 본 명세서에서는, 설명의 편의를 위하여, 상기 메모리 셀(11)은 '디램 셀'로 불리울 수 있다. 상기 디램 셀은, 도 2에 도시된 바와 같이, 워드라인

(WL)에 의하여 게이팅되는 전송트랜지스터(11a)와, 전송트랜지스터(11a)를 통하여 전송되는 비트라인(BL)의 데이터를 저장하는 커패시터(11b)로 구현된다.

<27> 상기 어드레스 입력부(15)는 칩 인에이블 신호(/CS)와 소정의 유효 어드레스 신호(/ADV)가 "로우"로 활성화된 구간에서 외부클락신호(CLK)에 동기하여, 외부 어드레스(ADDR)를 유효하게 입력한다. 즉, 상기 유효 어드레스 신호(/ADV)가 "하이"인 구간에서는, 상기 외부 어드레스(ADDR)가 유효하게 입력되지 않는다. 그리고, 상기 칩 인에이블 신호(/CS)는 본 발명의 동기식 에스램 호환 메모리를 인에이블시키는 신호로서, 일반적으로 외부로부터 제공된다. 한편, 본 발명의 동기식 반도체 메모리 장치는 통상적인 에스램과 마찬가지로 로우 어드레스(RADD)와 칼럼 어드레스(CADD)를 동시에 수신한다. 그리고, 본 명세서에서, 로우 어드레스(RADD)와 칼럼 어드레스(CADD)는 '외부 어드레스(ADDR)'로 통칭될 수 있다.

<28> 상기 상태제어부(20)는 본 발명의 동기식 에스램 호환 메모리의 동작을 전체적으로 제어한다. 즉, 외부로부터 유효 어드레스 신호(/ADV)가 활성화되어, 버스트 억세스 동작의 수행에 대한 요구가 발생하더라도, 이전 프레임에서의 기입 억세스 동작 또는 상기 기입 억세스 동작을 위한 칼럼 레이턴시 동작을 수행 중이면, 상기 상태제어부(20)는 본 발명의 동기식 에스램 호환 메모리로 하여금, 기 진행중인 이전 프레임에서의 기입 억세스 동작이 종료되기를 기다리도록 제어한다. 또한, 이전 프레임에서의 리프레쉬 동작이 수행 중인 경우에도, 상기 상태제어부(20)는 본 발명의 동기식 에스램 호환 메모리로 하여금, 기 진행중인 리프레쉬 동작이 종료되기를 기다리도록 제어한다. 그리고, 상기 이전 프레임의 기입 동작 또는 리프레쉬 동작이 종료하면, 본 발명의 동기식 에스램 호환 메모리는 버스트 억세스 동작을 진행한다. 명세서에서는, 설명의 편의상, '이전 프레임

에서의 기입 억세스 동작, 이전 프레임의 리프레쉬 동작'을 통칭하여, '이전 프레임의 억세스 동작'이라 한다.

<29> 계속하여, 상기 상태제어부(20)가 구체적으로 기술된다.

<30> 상태제어부(20)는 칩 인에이블 신호(/CS)와 유효 어드레스 신호(/ADV)를 입력하며, 리프레쉬 제어부(25)와 상호 통신을 하면서, 동기식 에스램 호환 메모리의 동작 상태를 제어한다. 상태제어부(20)는 외부의 시스템으로 소정의 기다림 표시신호(WAIT)를 제공한다. 상기 기다림 표시신호(WAIT)는 본 발명의 동기식 에스램 호환 메모리에서 유효하게 데이터를 출력할 수 있음을 표시하는 신호이다. 본 명세서에는, 상기 기다림 표시신호(WAIT)가 "하이"일 때, 외부로 유효하게 데이터가 출력될 수 있다.

<31> 상기 디램 메모리 어레이(10)에 대한 리프레쉬가 수행 중이거나, 이전 프레임에서의 기입 동작으로 인하여 활성화되었던 워드라인이 다시 비활성화되기 이전의 구간에서는, 상기 기다림 표시신호(WAIT)는 "로우"로 되어, 유효한 데이터가 출력될 수 없음을 나타낸다. 그리고, 상기 기다림 표시신호(WAIT)는 내부적으로 상기 디램 메모리 어레이(10)에서 특정되는 워드라인을 활성화시키기 위하여 요구되는 소정의 구간에서도 "로우"로 된다. 예를 들면, 본 발명의 동기식 에스램 호환 메모리의 독출 동작에 있어서, 소정의 칼럼 레이턴시 구간에서도, 상기 기다림 표시신호(WAIT)는 "로우"(본 명세서에서는, '제1 논리상태'라 한다)로 된다. 또한, 상기 상태제어부(20)는 상기 데이터 입출력부(75)를 제어한다.

<32> 한편, 상기 상태제어부(20)는, 본 발명의 동기식 에스램 호환 메모리가 이전 프레임의 기입 억세스 동작 또는 버스트 억세스 동작이 수행되고 있는 중에 발생하는 리프레

위 요구에 대해서는, 상기 이전 프레임의 기입 억세스 동작 또는 버스트 억세스 동작의 수행이 완료된 후에, 리프레쉬 동작이 수행되도록 제어한다.

<33> 그리고, 상기 상태제어부(20)는 상기 버스트 어드레스 발생부(30)를 인에이블시키는 버스트 어드레스 인에이블 신호(BCE)도 제공한다. 상기 버스트 어드레스 인에이블 신호(BCE)는 본 발명의 동기식 에스램 호환 메모리가 버스트 억세스 동작에 진입할 때, "하이"로 활성화한다.

<34> 버스트 어드레스 발생부(30)는 상기 버스트 어드레스 인에이블 신호(BCE)가 활성화에 응답하여 인에이블되어서, 외부에서 입력되는 칼럼 어드레스(CADD)에 대하여 순차적으로 증가하는 버스트 어드레스(BADD)를 발생한다. 상기 버스트 어드레스(BADD)의 증가는 외부클럭신호(CLK)에 동기하여 실현된다.

<35> 칼럼 어드레스 래치(45)는 소정의 칼럼 제어 신호(CLA)에 응답하여, 상기 어드레스 입력부(15)로부터 제공되는 칼럼 어드레스(CADD)와 상기 버스트 어드레스(BADD) 중의 어느하나를 선택적으로 래치한다. 그리고, 상기 칼럼 어드레스 래치(45)에 의하여 래치된 칼럼 어드레스(CADD) 또는 버스트 어드레스(BADD)를 칼럼 디코더(50)로 제공된다.

<36> 칼럼 제어신호 발생부(35)는 상태제어부(20)와 상호통신하여, 본 발명의 동기식 에스램 호환 메모리가 버스트 억세스 동작에 진입할 때, 활성화되는 상기 칼럼 제어 신호(CLA)를 발생한다.

<37> 상기 칼럼 디코더(50)은 제공되는 상기 칼럼 어드레스(CADD) 또는 버스트 어드레스(BADD)를 디코딩하여, 상기 메모리 어레이(10)의 열을 선택한다.

<38> 상기 리프레쉬 타이머(55)는 일정한 리프레쉬 주기마다 활성화하는 리프레쉬 요구 신호(RFHREQ)를 상기 리프레쉬 제어부(25)로 제공한다.

<39> 리프레쉬 제어부(25)는 리프레쉬 요구신호(RFHREQ)의 활성화에 응답하여 궁극적으로 상기 디램 메모리 어레이(10)에 대한 리프레쉬 동작이 수행되도록 제어한다. 그러나, 상기 디램 메모리 어레이(10)에 대한 상기 이전 프레임의 기입 억세스 동작 또는 버스트 억세스 동작이 수행 중일 때는, 상기 리프레쉬 요구신호(RFHREQ)의 활성화가 발생되더라도, 상기 이전 프레임의 기입 억세스 동작 및 상기 버스트 억세스 동작이 완료될 때까지는 상기 리프레쉬 동작의 수행은 보류된다. 이어서, 상기 이전 프레임의 기입 억세스 동작 및 상기 버스트 억세스 동작의 수행이 완료된 후에, 보류되었던 상기 리프레쉬 동작이 수행된다.

<40> 그리고, 상기 리프레쉬 제어부(25)는 상기 상태제어부(20)와 상호 통신을 하면서, 상기 디램 메모리 어레이(10)의 리프레쉬 동작을 제어한다. 즉, 상기 리프레쉬 제어부(25)는 상기 상태제어부(20)로부터 본 발명의 에스램 호환 메모리가 상기 이전 프레임의 기입 억세스 동작 또는 버스트 억세스 동작을 수행하고 있는지 여부를 나타내는 버스트 억세스 신호(BACC)를 수신한다. 그리고, 리프레쉬 제어부(25)는 상기 상태제어부(20)로 상기 디램 메모리 어레이(10)에 대한 리프레쉬 동작이 수행되고 있는지 여부를 나타내는 리프레쉬 표시신호(RFH)를 제공한다.

<41> 또한, 상기 리프레쉬 제어부(20)는 리프레쉬 어드레스 발생부(30)를 제어하는 리프레쉬 어드레스 제어신호(RRE)도 제공한다. 상기 리프레쉬 어드레스 제어신호(RRE)는 본 발명의 동기식 에스램 호환 메모리가 리프레쉬 동작에 진입할 때, 펄스로 발생된다.

<42> 리프레쉬 어드레스 발생부(30)는 상기 리프레쉬 어드레스 제어신호(RRE)의 상승단부에 응답하여, 상기 디램 메모리 어레이(10)의 행을 특정하는 리프레쉬 어드레스(FADD)를 발생한다.

<43> 로우 어드레스 래치(65)는 소정의 로우 제어 신호(CRA)에 응답하여, 어드레스 입력부(15)로부터 제공되는 로우 어드레스(RADD)와 리프레쉬 어드레스(FADD) 중의 어느하나를 선택적으로 래치한다. 그리고, 상기 로우 어드레스 래치(65)에 의하여 래치된 로우 어드레스(RADD) 또는 리프레쉬 어드레스(FADD)를 로우 디코더(70)로 제공된다.

<44> 칼럼 제어신호 발생부(40)는 상태제어부(20)와 상호통신하여, 본 발명의 동기식 에스램 호환 메모리가 리프레쉬 동작에 진입할 때, 활성화되는 상기 로우 제어 신호(CRA)를 발생한다.

<45> 로우 디코더(70)은 제공되는 상기 로우 어드레스(RADD) 또는 리프레쉬 어드레스(FADD)를 디코딩하여, 상기 메모리 어레이(10)의 행을 특정한다.

<46> 데이터 입출력부(75)는 상기 기다림 표시신호(WAIT)가 "하이"일 때, 상기 외부클락 신호(CLK)에 동기하여 출력 데이터(DOUT)를 외부 시스템으로 유효하게 제공할 수 있다.

<47> 그리고, 상기 데이터 입출력부(75)는 상기 외부클락신호(CLK)에 동기하여 입력 데이터(DIN)를 입력한다. 상기 데이터 입출력부(75)에 입력되는 입력 데이터(DIN)는 디램 메모리 어레이(10)에 제공되어 기입되되, 이전 프레임의 억세스 동작이 수행 중일 때, 입력되는 입력 데이터(DIN)는 상기 디램 메모리 어레이(10)에 기입되는 것이 보류된다.

<48> 다시 기술하면, 이전 프레임의 억세스 동작이 진행 중일 때 수신되는 입력 데이터(DIN)에 대하여, 상기 데이터 입출력부(75)는 상기 수신되는 입력 데이터(DIN)를 내부에

내장되는 버퍼에 임시 저장하였다가, 이전 프레임의 억세스 동작이 종료된 후에, 수신되는 입력 데이터(DIN)를 상기 디램 메모리 어레이(10)에 기입한다.

<49> 바람직하기로는, 상기 데이터 입출력부(75)는, 선입선출퍼(FIFO) 버퍼를 내장하여, 외부로부터 먼저 수신되는 입력 데이터(DIN)를 먼저 디램 메모리 어레이(10)에 기입한다.

<50> 도 3은 도 1의 상태제어부(20)와 리프레쉬 제어부(25)의 상호 작용을 보다 자세히 설명하기 위한 도면이다. 상기 상태제어부(20)에는, 버스트 종료 감지수단(20a)과 /ADV 감지수단(20b)이 포함된다. 그리고, 리프레쉬 제어부(25)에는, 리프레쉬 마스킹 발생수단(25a)과 리프레쉬 신호 발생수단(25b)이 포함된다.

<51> 상기 /ADV 감지수단(20b)은 유호 어드레스 신호(/ADV)가 활성화하는 단부를 감지하여, 소정의 셋팅 신호(SET)를 활성화시킨다. 상기 활성화되는 셋팅 신호(SET)는 리프레쉬 마스킹 발생수단(25a)을 제어함으로써, 마스킹 신호(MSK)를 활성화시킨다. 그리고, 상기 활성화된 마스킹 신호(MSK)는 리프레쉬 신호 발생수단(25b)을 제어함으로써, 리프레쉬 타이머(55)로부터 제공되는 리프레쉬 요구신호(RFHREQ)가 활성화되더라도, 리프레쉬 어드레스 발생부(60)를 구동하는 리프레쉬 구동신호(RRE)는 활성화되지 않는다.

<52> 한편, 상기 버스트 종료 감지수단(20a)은 버스트 억세스 동작이 종료되면, "로우"로 비활성화되는 버스트 억세스 신호(BACC)에 응답하여, 소정의 리셋 신호(RESET)를 활성화시킨다. 상기 활성화되는 리셋 신호(RESET)는 리프레쉬 마스킹 발생수단(25a)을 제어하여 마스킹 신호(MSK)를 디스에이블시킨다. 따라서, 리프레쉬 타이머(55)로부터 제공되는 리프레쉬 요구신호(RFHREQ)가 활성화하면, 리프레쉬 어드레스 발생부(60)를 구동하

는 리프레쉬 어드레스 제어신호(RRE)는 활성화한다. 그리고, 리프레쉬 어드레스 발생부 (60)는 구동되어, 리프레쉬 어드레스(FADD)가 생성된다.

<53> 도 4는 본 발명의 일실시예에 따른 동기식 에스램 호환 메모리의 상태 변화를 나타내는 상태 다이어그램(state diagram)이다. 본 명세서의 상기 상태변화에 대한 기술에 있어서, 공전상태(S401)에서 다른 상태로의 전환은 칩 인에이블 신호(/CS)가 활성화된 상태에서만 가능하다며, 이점은 당업자에게 자명한 사실이다. 그리고, 도 4의 나머지 상태에서, 칩 인에이블 신호(/CS)가 비활성화되면, 공전상태(S401)로 복귀된다는 사실도 당업자에게는 자명하다.

<54> 계속하여, 본 발명의 일실시예에 따른 동기식 에스램 메모리의 상태 변화가 기술된다.

<55> 먼저, 공전상태(S401)에서, 유효 어드레스 신호(/ADV)가 "로우"로 활성화되면, 외부클락신호(CLK)에 동기하여 외부 어드레스(ADDR)를 입력하면서 버스트 억세스 상태 (S403)로 진입한다(T402). 그리고, 버스트 억세스 상태(S403)에서 리프레쉬 요구신호 (RFHREQ)가 활성화되면, 리프레쉬 요구상태(S407)로 진입하여, 버스트 억세스 동작이 종료되기를 기다린다(T406). 이어서, 버스트 억세스 동작이 종료되면, 본 발명의 동기식 에스램 호환 메모리는 리프레쉬 상태(S405)로 진입하여, 리프레쉬 동작이 수행된다 (T408).

<56> 그러나, 버스트 억세스 상태(S403)로부터 리프레쉬 요구신호(RFHREQ)의 활성화없이 버스트 억세스 동작이 종료되면, 본 발명의 동기식 에스램 호환 메모리는 다시 공전상태 (S401)로 진입한다(T410).

<57> 한편, 공전상태(S401)에서, 리프레쉬 요구신호(RFHREQ)의 활성화가 발생하면, 리프레쉬 상태(S405)로 진입하여 리프레쉬 동작을 수행한다(T412). 그리고, 리프레쉬 상태(S405)에서 유효 어드레스 신호(/ADV)가 "로우"로 활성화되면, 버스트 대기상태(S413)로 진입하여, 리프레쉬 동작이 종료되기를 기다린다(T414). 이어서, 리프레쉬 동작이 종료되면, 본 발명의 동기식 에스램 호환 메모리는 버스트 억세스 상태(S403)로 진입하여, 버스트 억세스 동작이 수행된다(T416).

<58> 그러나, 리프레쉬 상태(S405)에서, 유효 어드레스신호(/ADV)의 활성화없이, 리프레쉬 동작이 종료되면, 본 발명의 동기식 에스램 호환 메모리는 다시 공전상태(S401)로 진입한다(T420).

<59> 도 4의 상태 다이어그램은 버스트 억세스 상태와 리프레쉬 상태를 중심으로 도시되었다. 그러나, 버스트 억세스 상태 또는 리프레쉬 상태는 통상적인 독출/기입 억세스 상태로 대신될 수 있으며, 이에 따라, 독출/기입 억세스 상태와 리프레쉬 상태 사이의 상태변화 또는 독출/기입 억세스 상태와 버스트 억세스 상태 사이의 상태변화의 이해는 당업자에게 용이할 것이다.

<60> 도 5는 본 실시예의 동기식 에스램 호환 메모리의 버스트 억세스 동작 중 독출동작을 설명하기 위한 타이밍도로서, 칼럼 레이턴시의 확장이 없는 경우의 타이밍도이다. 도 5에서의 독출 동작은 버스트 길이(burst length)가 4이다. 도 5를 참조하면, 기입 인에 이블 신호(/WE)는 "하이"이다. CLK0의 발생시점 t1에서 칩 인에이블 신호(/CS)는 "로우"로 활성화되고, 유효 어드레스 신호(/ADV)도 1클락 동안 "로우"로 활성화한다. 이때, 입력되는 어드레스(ADDR)는 유효하게 입력된다.

<61> 그러나, CLK1의 상승 단부까지는 기다림 표시신호(WAIT)가 "로우"로 되어서, 유효한 데이터가 출력될 수 없음을 나타낸다. 즉, 본 발명의 동기식 에스램 호환 메모리의 독출 동작에 있어서, 소정의 칼럼 레이턴시 구간에서도, 상기 기다림 표시신호(WAIT)는 "로우"로 된다.

<62> 한편, CLK1의 상승단부 이후의 시점 t2에서, 기다림 표시신호(WAIT)가 "하이"로 되며, 데이터가 유효하게 출력될 수 있음을 외부로 나타낸다. 계속하여, CLK2 내지 CLK5에 응답하여 4개의 출력 데이터(DOUT)를 연속적으로 유효하게 출력할 수 있다.

<63> 도 5에서의 독출 동작에서는, 유효 어드레스 신호(/ADV)가 활성화되는 시점에서 기다림 표시신호(WAIT)는 "로우"이므로, 칼럼 레이턴시(column latency)는 최소값인 1이다.

<64> 도 6는 본 실시예의 동기식 에스램 호환 메모리의 버스트 억세스 동작 중 독출동작을 설명하기 위한 타이밍도로서, 칼럼 레이턴시가 1클락 연장되는 경우의 타이밍도이다.

<65> 도 6의 타이밍도를 도 5의 타이밍도와 비교하면, 유효 어드레스 신호(/ADV)가 "로우"로 활성화할 때, 리프레쉬 등 이전 프레임의 억세스 동작이 진행되고 있어, 버스트 억세스 동작의 시작이 1클락 지연됨을 알 수 있다. 이에 따라, 칼럼 레이턴시(column latency)도 1클락 연장되어 2로 되며, 기다림 표신신호(WAIT)가 "하이"로 되는 시점(t3)도 CLK2의 발생 이후로 된다. 따라서, CLK2의 상승 단부까지는 기다림 표시신호(WAIT)가 "로우"로 되어서, 유효한 데이터가 출력될 수 없다. 4개의 출력 데이터(DOUT)는 CLK3 내지 CLK6에 응답하여 연속적으로 유효하게 출력됨을 알 수 있다.

<66> 도 7은 본 실시예의 동기식 에스램 호환 메모리의 버스트 억세스 동작 중 기입동작을 설명하기 위한 타이밍도이다. 도 7에서의 기입 동작도 버스트 길이(burst length)가 4이다. 도 7을 참조하면, 시점 t1에서 칩 인에이블 신호(/CS)는 "로우"로 활성화되고, 유효 어드레스 신호(/ADV)도 1클락 동안 "로우"로 활성화한다. 이때, 입력되는 어드레스 (ADDR)는 유효하게 입력된다. 그리고, CLK1부터 외부클락신호(CLK)의 활성화 시점(t2, t3, t4, t5)에서 기입 인에이블 신호(/WE)가 "로우"로 활성화하며, 이때, 외부의 입력 데이터(DIN)을 유효하게 입력한다.

<67> 한편, 본 발명의 동기식 에스램 호환 메모리에 있어서, 외부의 입력 데이터(DIN)는 기다림 표시신호(WAIT)의 논리 상태에 상관없이 유효하게 수신될 수 있다. 다만, 현재 시점에, 이전 프레임의 억세스 동작이 수행 중이면, 수신된 상기 입력 데이터의 디램 메모리 어레이(10, 도 1 참조)로의 기입은 상기 이전 프레임의 억세스 동작이 종료된 후에 수행된다. 반면에, 현재에, 이전 프레임의 억세스 동작이 수행 중이지 아니하면, 수신된 상기 입력 데이터의 디램 메모리 어레이(10, 도 1 참조)로의 기입은 자연없이 수행된다.

<68> 그러므로, 본 발명의 동기식 에스램 호환 메모리에서의 기입 동작은 외부적으로는 자연없이 수행된다.

<69> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<70> 상기와 같은 본 발명의 동기식 에스램 호환 메모리 및 그 구동방법에 의하면, 디램 셀을 이용하면서도 외부클락신호에 동기되는 에스램 메모리와 호환이 가능하면서, 외부 클락신호에 동기되는 버스트 억세스 동작이 실현될 수 있다. 또한, 본 발명의 동기식 에스램 호환 메모리 및 그 구동방법에 의하면, 데이터 기입시에 기다리 표시신호의 상태에 관계없이 외부로 수신하므로, 외부적으로는 기입의 지연은 전혀 나타나지 않는다.

【특허청구범위】

【청구항 1】

행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 포함하는 디램 메모리 어레이로서, 상기 디램 셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되는 상기 디램 메모리 어레이를 가지는 동기식 에스램 호환 메모리로서, 상기 메모리 어레이의 행을 선택하는 로우 어드레스와 열을 선택하는 칼럼 어드레스를 동시에 제공하는 외부 시스템과 인터페이싱될 수 있는 상기 동기식 에스램 호환 메모리의 구동 방법에 있어서,

- (A) 외부로부터 유효 어드레스 신호를 입력하는 단계로서, 상기 유효 어드레스 신호가 활성화 상태일 때, 현재 프레임의 상기 로우 어드레스와 상기 칼럼 어드레스는 유효하게 입력될 수 되, 상기 유효 어드레스 신호가 비활성화 상태에서는 상기 어드레스의 유효한 입력이 차단되는 상기 유효 어드레스 신호를 입력하는 단계;
- (B) 활성화 상태의 상기 유효 어드레스 신호가 감지될 때, 상기 디램 메모리 어레이에 대한 이전 프레임의 억세스 동작이 수행 중인지를 확인하는 단계;
- (C) 상기 (B) 단계에서의 확인결과, 상기 이전 프레임의 억세스 동작이 수행 중이면, 제1 논리 상태의 기다림 표시신호를 발생하여 외부로 제공하면서, 상기 이전 프레임의 억세스 동작의 수행이 종료되기를 기다리는 단계; 및
- (D) 상기 (C) 단계에서, 상기 이전 프레임의 억세스 동작의 수행이 종료되면, 상기 디램 메모리 어레이의 열을 선택하는 버스트 어드레스가 외부클락신호에 동기되어, 변화하는 버스트 억세스 동작을 수행하는 단계를 구비하며,

상기 이전 프레임의 억세스는

상기 현재 프레임의 유효 어드레스 신호가 활성화되기 이전에 발생한 기입 억세스 동작 및 리프레쉬 동작을 포함하는 것을 특징으로 하는 동기식 에스램 호환 메모리의 구동 방법.

【청구항 2】

제1 항에 있어서,
칼럼 레이턴시를 수행하기 위한 동작 중에, 상기 제1 논리 상태의 상기 기다림 표시신호를 제공하는 단계를 더 포함하는 것을 특징으로 하는 동기식 에스램 호환 메모리의 구동 방법.

【청구항 3】

제1 항에 있어서,
상기 (B)단계에서의 확인결과, 상기 이전 프레임의 억세스 동작이 수행 중이지 않으면, 상기 버스트 억세스 동작을 수행하는 단계를 더 구비하는 것을 특징으로 하는 동기식 에스램 호환 메모리의 구동 방법.

【청구항 4】

제1 항에 있어서,

상기 버스트 억세스 동작이 완료되면, 상기 동기식 에스램 호환 메모리가 공전상태로 진입하는 단계를 더 구비하는 것을 특징으로 하는 동기식 에스램 호환 메모리의 구동 방법.

【청구항 5】

제1 항 내지 제4항 중의 어느 하나의 항에 있어서,
일정한 주기마다 상기 디램 메모리 어레이에 대한 리프레쉬 동작의 수행을 요구하는 리프레쉬 요구신호가 활성화하는 단계; 및
상기 버스트 억세스 동작이 진행 중에 상기 리프레쉬 요구 신호가 활성화하면, 상기 버스트 억세스 동작이 완료된 후에, 상기 리프레쉬 동작이 수행되는 단계를 더 구비하는 것을 특징으로 하는 동기식 에스램 호환 메모리의 구동 방법.

【청구항 6】

제1 항 내지 제4항 중의 어느 하나의 항에 있어서,
상기 외부클락신호에 동기되어, 외부로부터 제공되는 입력 데이터를 수신하는 단계;
수신되는 상기 입력 데이터를 내부의 버퍼에 저장하는 단계; 및
상기 버퍼에 저장되는 상기 입력 데이터를 상기 디램 메모리 어레이에 기입하되,
이전 프레임의 억세스 동작 중에는, 상기 이전 프레임의 억세스 동작이 종료될 때까지

상기 기입이 연기되는 단계를 더 구비하는 것을 특징으로 하는 동기식 에스램 호환 메모리의 구동 방법.

【청구항 7】

제6 항에 있어서, 상기 수신되는 입력 데이터의 상기 디램 메모리 어레이로의 기입은

선입선출방식으로 수행되는 것을 특징으로 하는 동기식 에스램 호환 메모리의 구동 방법.

【청구항 8】

행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 포함하는 디램 메모리 어레이를 가지는 에스램 호환 메모리로서, 상기 디램 셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되며, 상기 디램 메모리 어레이의 행을 선택하는 로우 어드레스와 열을 선택하는 칼럼 어드레스를 동시에 제공하는 외부 시스템과 인터페이싱될 수 있는 상기 에스램 호환 메모리에 있어서,

상기 디램 메모리 어레이;

외부로부터 상기 디램 메모리 어레이로의 데이터 입출력을 조절하는 데이터 입출력부;

소정의 유효 어드레스 신호가 활성화되는 구간에서 현재 프레임의 상기 로우 어드레스와 상기 칼럼 어드레스를 유효하게 입력하되, 상기 어드레스들은 소정의 외부클락신호에 동기되어 유효하게 입력되는 어드레스 입력부;

상기 칼럼 어드레스에 대하여 순차적으로 변화하는 버스트 어드레스를 발생하되, 상기 버스트 어드레스의 변화는 상기 외부클락신호에 동기하여 발생하는 버스트 어드레스 발생부;

상기 버스트 어드레스 발생부를 인에이블시키는 버스트 인에이블 신호를 발생하고, 상기 데이터 입출력부를 제어하며, 상기 메모리 어레이에 대한 이전 프레임의 억세스 동작이 수행 중일 때에는 외부로 제1 논리 상태의 기다림 표시신호를 발생하는 상태제어부로서, 상기 이전 프레임의 억세스는 상기 현재 프레임의 유효 어드레스 신호가 활성화되기 이전의 기입 억세스 및 리프레쉬 동작을 포함하는 상기 상태제어부;

일정한 주기마다 활성화되는 리프레쉬 요구 신호를 발생하는 리프레쉬 타이머; 및 상기 리프레쉬 요구 신호에 응답하여, 상기 디램 메모리 어레이에 대한 리프레쉬 동작을 수행시키도록 제어하되, 상기 디램 메모리 어레이에 대한 버스트 억세스 동작이 수행 중이면, 상기 버스트 억세스 동작이 완료된 후에 상기 리프레쉬 동작을 수행하도록 제어하는 리프레쉬 제어부를 구비하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 9】

제8 항에 있어서, 상기 기다림 표시신호는

칼럼 레이턴시를 수행하기 위한 동작 중에도, 상기 제1 논리 상태를 나타내는 것을
것을 특징으로 하는 동기식 에스램 호환 메모리.

【청구항 10】

제8 항에 있어서, 상기 리프레쉬 제어부는
상기 리프레쉬 요구신호에 응답하여, 상기 디램 메모리 어레이에 대한 리프레쉬 동
작의 수행을 구동하는 리프레쉬 구동신호를 활성화시키되, 소정의 리프레쉬 마스킹 신호
의 활성화에 의하여 상기 리프레쉬 구동신호의 활성화가 억제되는 리프레쉬 구동 신호
발생 수단을 더 구비하는 것을 특징으로 하는 동기식 에스램 호환 메모리.

【청구항 11】

제10 항에 있어서, 상기 리프레쉬 제어부는
상기 리프레쉬 마스킹 신호를 발생하는 리프레쉬 마스킹 발생수단으로서, 상기 리
프레쉬 마스킹 신호는 상기 동기식 에스램 호환 메모리를 인에이블시키는 칩 인에이블
신호에 응답하여 인에이블되며, 상기 버스트 억세스 동작의 종료에 응답하여 디스에이블
되는 상기 리프레쉬 마스킹 발생 수단을 더 구비하는 것을 특징으로 하는 동기식 에스램
호환 메모리.

【청구항 12】

제11 항에 있어서, 상기 상태제어부는

상기 칩 인에이블 신호의 활성화를 감지하는 칩 인에이블 감지수단; 및
상기 버스트 억세스 동작의 종료를 감지하는 버스트 종료 감지수단을 구비하는 것
을 특징으로 하는 동기식 에스램 호환 메모리.

【청구항 13】

제8 항 내지 제12 항 중의 어느 하나의 항에 있어서, 상기 데이터 입출력부는
상기 외부클럭신호에 동기되어, 외부로부터 제공되는 입력 데이터를 수신하여 저
장하며, 저장되는 상기 입력 데이터를 상기 디램 메모리 어레이에 기입하되,
이전 프레임의 억세스 동작 중에는, 상기 이전 프레임의 억세스 동작이 종료될 때
까지 상기 기입이 연기되는 것을 특징으로 하는 동기식 에스램 호환 메모리.

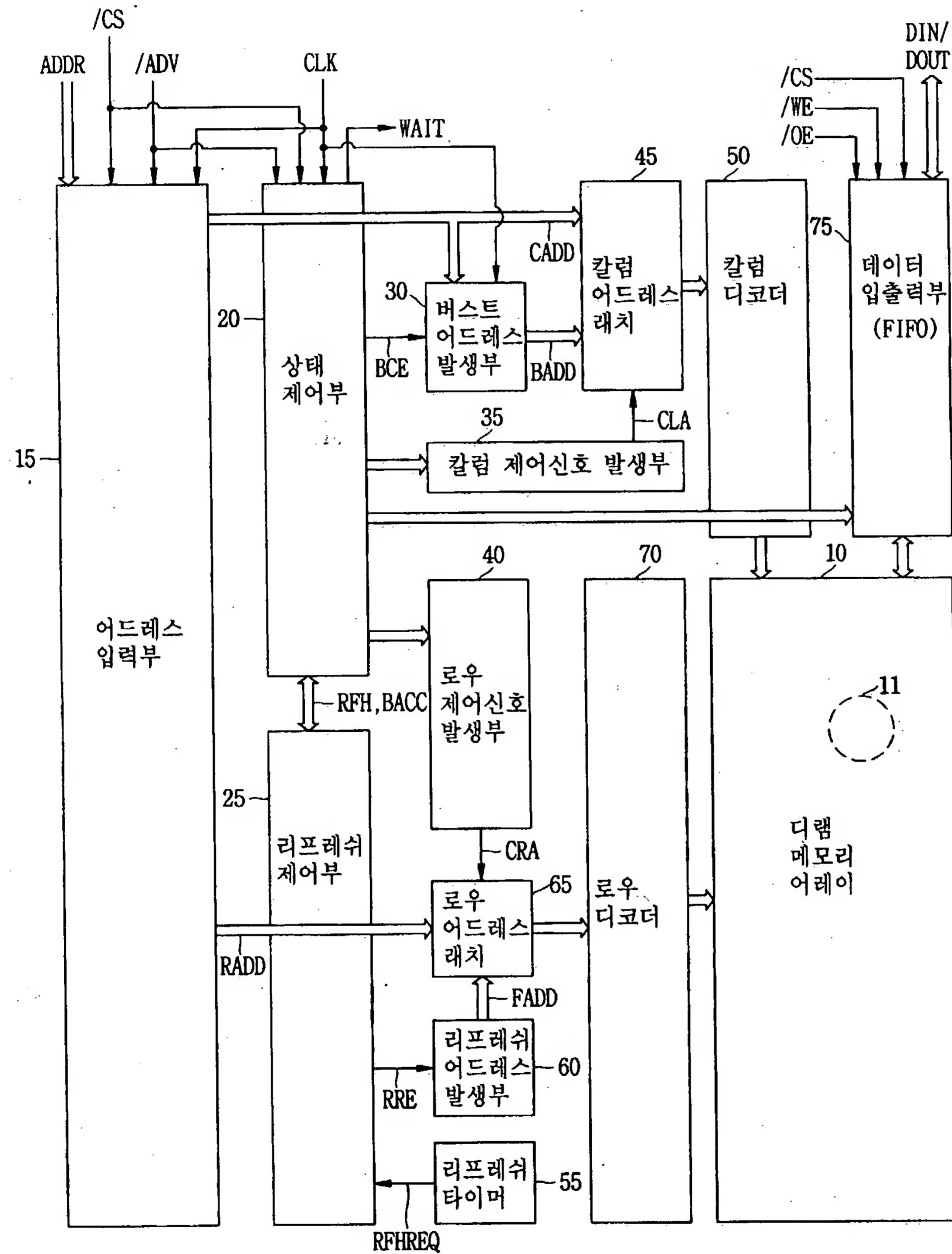
【청구항 14】

제13 항에 있어서, 상기 데이터 입출력부는
상기 수신되는 입력 데이터를 저장하며, 저장되는 상기 입력 데이터를 상기 디램
메모리 어레이로 기입하되, 상기 입력 데이터를 수신하는 순서대로 상기 디램 메모리 어
레이에 기입하는 선입선출 버퍼를 포함하는 것을 특징으로 하는 동기식 에스램 호환 메
모리.

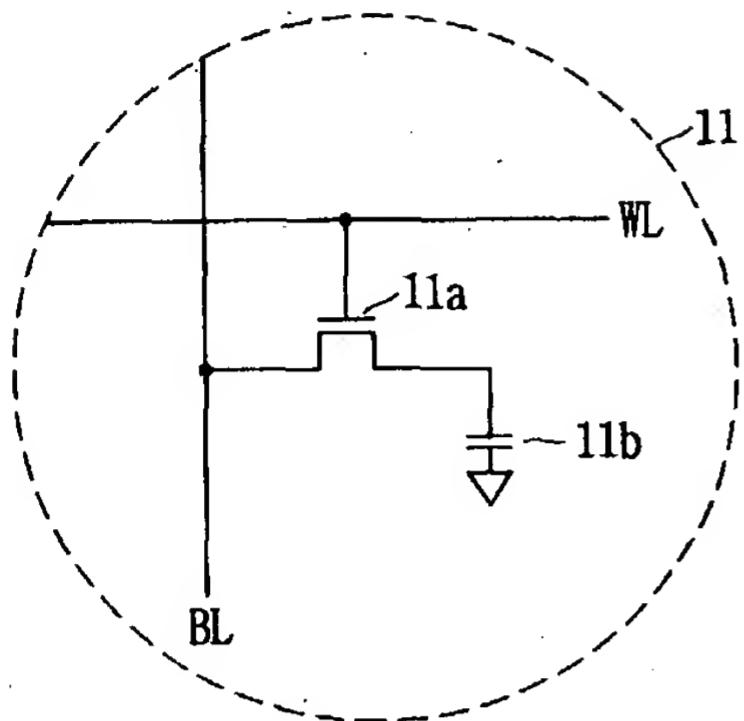


【도면】

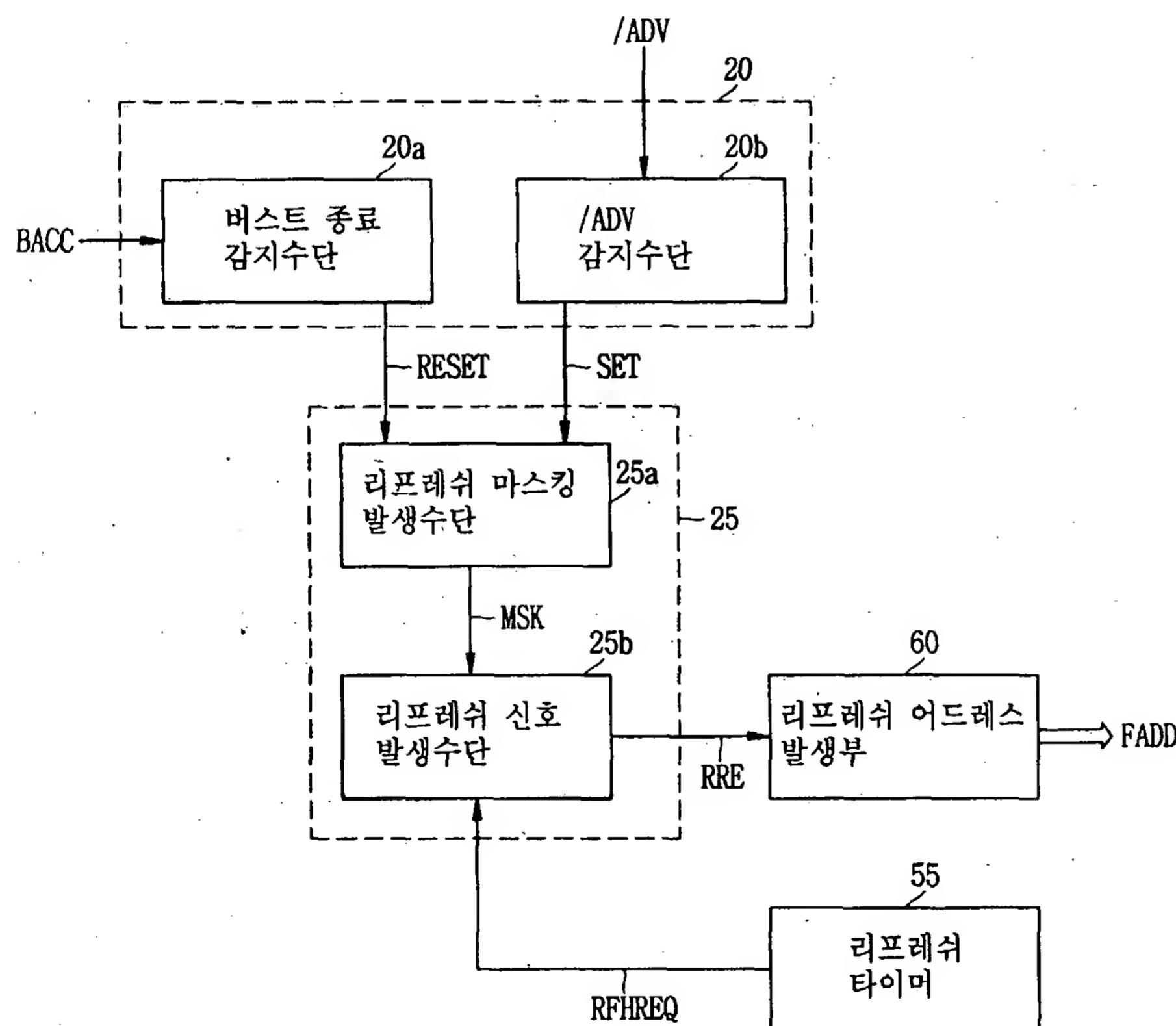
【도 1】



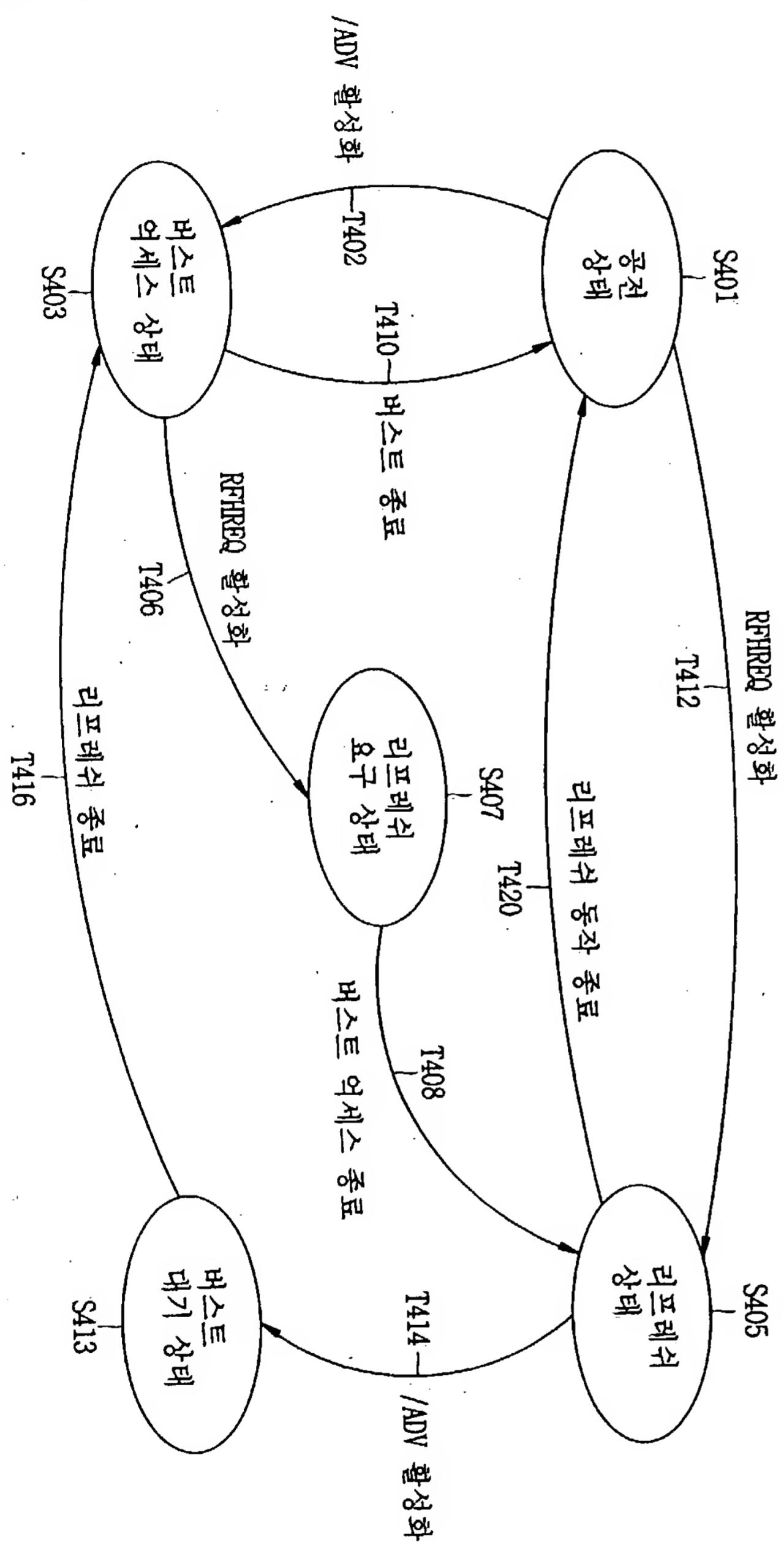
【도 2】



【도 3】



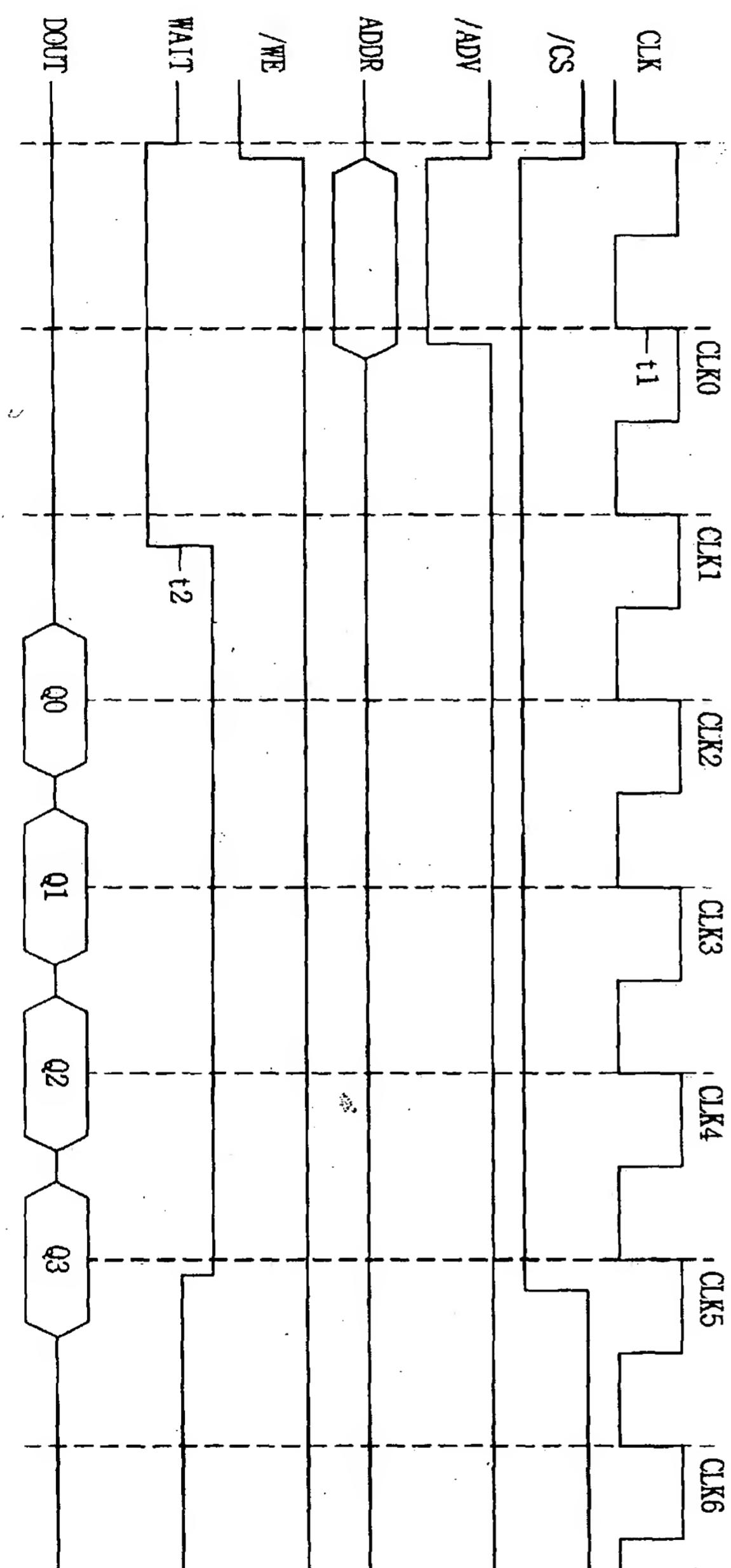
【그 4】



1020020043480

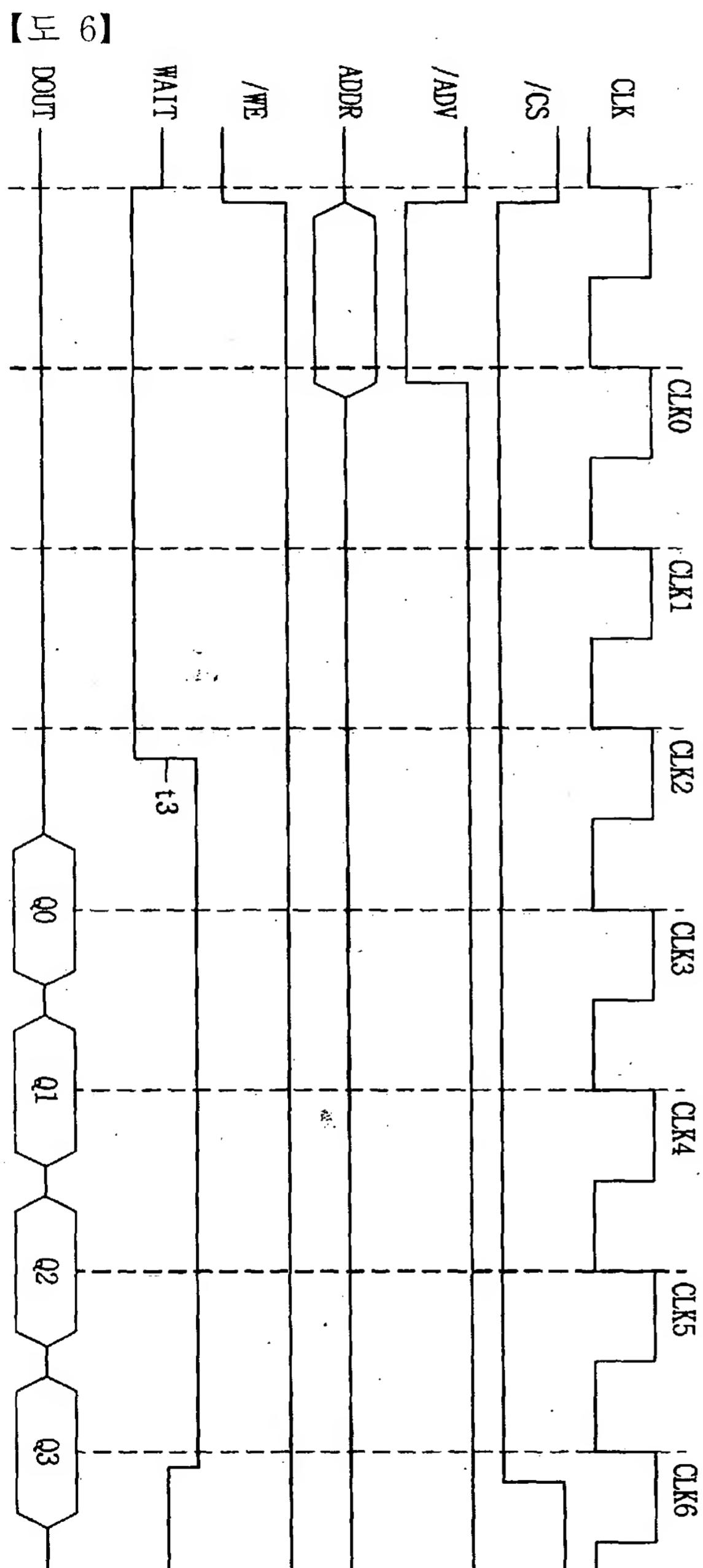
출처 일자: 2003/6/3

【H 5】



1020020043480

수록 일자: 2003/6/3



1020020043480

출판 일자: 2003/6/3

【7】

